

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-337976

(43)公開日 平成11年(1999)12月10日

(51)Int.Cl.⁶
G 0 2 F 1/136
G 0 9 F 9/30
H 0 1 L 29/786
21/336

識別記号

F I
G 0 2 F 1/136
G 0 9 F 9/30
H 0 1 L 29/78
6 1 2 Z

5 0 0
3 3 6

5 0 0
3 3 6

審査請求 未請求 請求項の数 6 O.L (全 9 頁)

(21)出願番号 特願平11-83260

(22)出願日 平成11年(1999)3月26日

(31)優先権主張番号 特願平10-79250

(32)優先日 平10(1998)3月26日

(33)優先権主張国 日本 (JP)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 辻 博司

兵庫県姫路市余部区上余部50番地 株式会

社東芝姫路工場内

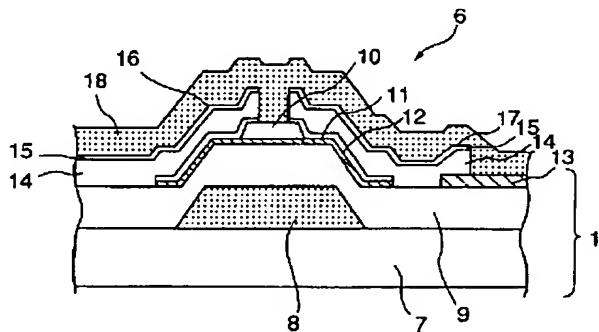
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 表示装置用アレイ基板及びこのアレイ基板を備えた平面表示装置

(57)【要約】

【課題】アルミニウム配線に直接コンタクトすることを可能とし、バリアメタルを省略することができる画素電極を備えた表示装置用アレイ基板及びこのアレイ基板を備えた平面表示装置を提供することを目的とする。

【解決手段】ガラス基板7上に配置されたゲート絶縁膜9上にInZnO膜によって形成された画素電極13と、この画素電極13に対して所定のタイミングで所定レベルの電圧を供給する薄膜トランジスタ6と、この画素電極13と薄膜トランジスタ6とを電気的に接続するAl膜14によって形成された接続配線部17と、を備えている。



【特許請求の範囲】

【請求項 1】絶縁性基板上にインジウム (In) と、亜鉛 (Zn) と、酸素 (O) とを少なくとも含む透明導電膜によって形成された複数の画素電極と、前記画素電極に対して所定のタイミングで所定レベルの電圧を供給するスイッチング素子と、前記画素電極と前記スイッチング素子とを電気的に接続するアルミニウム (A) を主体として形成された接続配線部と、を備えたことを特徴とする表示装置用アレイ基板。

【請求項 2】絶縁性基板上にインジウム (In) と、亜鉛 (Zn) と、酸素 (O) とを少なくとも含む透明導電膜によって形成された複数の画素電極と、絶縁性基板上に互いに交差するように配置された配線部と、前記配線部の交差部付近に配置されているとともに、前記配線部に供給された電圧に基づいて前記画素電極に対して所定のタイミングで所定レベルの電圧を供給するスイッチング素子と、前記画素電極と前記スイッチング素子とを電気的に接続するアルミニウム (A1) を主体として形成された接続配線部と、を備えたことを特徴とする表示装置用アレイ基板。

【請求項 3】前記スイッチング素子は、水素化アモルファスシリコン膜を半導体膜とした薄膜トランジスタであることを特徴とする請求項 1 または 2 に記載の表示装置用アレイ基板。

【請求項 4】前記スイッチング素子は、ポリシリコン膜を半導体膜とした薄膜トランジスタであることを特徴とする請求項 1 または 2 に記載の表示装置用アレイ基板。

【請求項 5】前記画素電極は、酸化インジウム (In₂O₃) に酸化亜鉛 (ZnO) を 5 乃至 20 重量% 含有した透明導電膜によって形成されたことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の表示装置用アレイ基板。

【請求項 6】絶縁性基板上にインジウム (In) と、亜鉛 (Zn) と、酸素 (O) とを少なくとも含む透明導電膜によって形成された複数の画素電極と、

前記画素電極に対して所定のタイミングで所定レベルの電圧を供給するスイッチング素子と、

前記画素電極と前記スイッチング素子とを電気的に接続するアルミニウム (A1) を主体として形成された接続配線部と、を備えたアレイ基板と、

前記アレイ基板に対向配置された対向電極を備えた対向基板と、

前記アレイ基板と対向基板との間に挟持されているとともに、前記アレイ基板と対向基板との間を通過する光を変調する光変調層と、

を備えたことを特徴とする平面表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示装置用アレイ基板及びこのアレイ基板を備えた平面表示装置に係り、特にアクティブマトリクス型液晶表示装置に適用可能なアレイ基板に関する。

【0002】

【従来の技術】薄膜トランジスタをスイッチング素子としたアクティブマトリクス型液晶表示装置は、画素電極、および、この画素電極に電圧を供給するための信号線及び走査線などの配線部を備えたアレイ基板と、アレイ基板に対して所定の間隔をおいて対向配置された対向電極を備えた対向基板と、アレイ基板と対向基板との間に配置された液晶分子を含む液晶層とを有している。アレイ基板に備えられた画素電極は、酸化インジウム (In₂O₃) に酸化錫 (SnO) を 10 重量% 程度含有したインジウム一ティン一オキサイド膜 (In-Sn-O 膜) いわゆる ITO 膜によって形成され、この画素電極に電気的に接続される配線部の信号線は、純アルミニウム (A1)、もしくはアルミニウム合金によって形成されている。

【0003】

【発明が解決しようとする課題】上述したような構造のアレイ基板において、画素電極の ITO 膜と、信号線の A1 配線もしくは A1 合金配線とが直接接触すると、ITO 膜、特に ITO 膜に含まれる Sn が A1 により還元され、絶縁物となる虞がある。このように、画素電極と信号線との接触部分が絶縁物となってしまった場合には、コンタクト抵抗が上昇し、画面の表示品位が低下するといった問題が発生する。

【0004】このような現象を回避するために、従来は、ITO 膜と A1 配線とが直接接触しないように、それらの間に、バリアメタルとしてモリブデン (Mo)、チタン (Ti) 等の金属を介在させる必要がある。

【0005】ところが、このようにバリアメタルを介在させる構造のアレイ基板では、バリアメタルを形成するための製造工程が 1 工程増え、製造コストが高くなり、かつ生産性を悪化させる問題が発生する。

【0006】そこで、この発明は、上記問題点を解決するためになされたものであり、アルミニウム配線に直接コンタクトすることを可能とし、バリアメタルを省略することができる画素電極を備えた表示装置用アレイ基板及びこのアレイ基板を備えた平面表示装置を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明は、上記問題点に基づきなされたもので、請求項 1 に記載の発明によれば、絶縁性基板上にインジウム (In) と、亜鉛 (Zn) と、酸素 (O) とを少なくとも含む透明導電膜によって形成された複数の画素電極と、前記画素電極に対して所定のタイミングで所定レベルの電圧を供給するスイ

ツチング素子と、前記画素電極と前記スイッチング素子とを電気的に接続するアルミニウム(A1)を主体として形成された接続配線部と、を備えたことを特徴とする表示装置用アレイ基板が提供される。

【0008】請求項2に記載の発明によれば、絶縁性基板上にインジウム(I n)と、亜鉛(Z n)と、酸素(O)とを少なくとも含む透明導電膜によって形成された複数の画素電極と、絶縁性基板上に互いに交差するように配置された配線部と、前記配線部の交差部付近に配置されているとともに、前記配線部に供給された電圧に基づいて前記画素電極に対して所定のタイミングで所定レベルの電圧を供給するスイッチング素子と、前記画素電極と前記スイッチング素子とを電気的に接続するアルミニウム(A1)を主体として形成された接続配線部と、を備えたことを特徴とする表示装置用アレイ基板が提供される。

【0009】請求項6に記載の発明によれば、絶縁性基板上にインジウム(I n)と、亜鉛(Z n)と、酸素(O)とを少なくとも含む透明導電膜によって形成された複数の画素電極と、前記画素電極に対して所定のタイミングで所定レベルの電圧を供給するスイッチング素子と、前記画素電極と前記スイッチング素子とを電気的に接続するアルミニウム(A1)によって形成された接続配線部と、を備えたアレイ基板と、前記アレイ基板に対向配置された対向電極を備えた対向基板と、前記アレイ基板と対向基板との間に挟持されているとともに、前記アレイ基板と対向基板との間を通過する光を変調する光変調層と、を備えたことを特徴とする平面表示装置が提供される。

【0010】この発明の表示装置用アレイ基板及びこのアレイ基板を備えた平面表示装置によれば、画素電極は、インジウム(I n)と、亜鉛(Z n)と、酸素(O)とを少なくとも含む透明導電膜、すなわちIn-ZnO膜(インジウム-ジンク-オキサイド)いわゆるIZO膜によって形成され、スイッチング素子に対してアルミニウム(A1)を主体として形成された接続配線部によって直接コンタクトされている。IZO膜に含まれる亜鉛(Z n)は、A1とイオン化ポテンシャルが同等に高く、アルミニウムに還元されにくい性質を有している。

【0011】このため、Z nがA1に直接コンタクトしても、A1に還元されにくく、絶縁物にもなり難い。したがって、大幅なコンタクト抵抗の増大を招くことがなく、平面表示装置における表示画面の表示品位に悪影響を及ぼすこともない。

【0012】IZO膜のA1に対するコンタクト抵抗は、従来のバリアメタルを使用した場合と同等の値を得ることが可能である。

【0013】したがって、バリアメタルを接続配線部と画素電極との間に介在させる必要がなくなり、製造工程

数の増大を防止し、製造コストの増大を抑えることが可能となる。

【0014】よって、アルミニウム配線に直接コンタクトすることを可能とし、バリアメタルを省略することができる画素電極を備えた表示装置用アレイ基板及びこのアレイ基板を備えた平面表示装置を提供することができる。

【0015】

【発明の実施の形態】以下、図面を参照してこの発明に係る表示装置用アレイ基板及びこのアレイ基板を備えた平面表示装置の実施の形態について詳細に説明する。

【0016】図1は、この発明の表示装置用アレイ基板を備えた平面表示装置の構造を概略的に示す分解斜視図である。

【0017】図1に示すように、平面表示装置としての液晶表示装置は、液晶パネル2を備えている。この液晶パネル2の側部あるいは裏面には、液晶パネル2に電気的に接続された駆動回路基板41が配置されている。また、この液晶パネル2の裏面側には、面光源として機能するバックライトユニット42が配置されている。

【0018】これら液晶パネル2、及びバックライトユニット42は、表示面を規定する開口部を含むフレーム43-1および43-2によって保持され、ネジ留めされることにより、液晶表示装置が構成されている。

【0019】図2は、図1に示した液晶表示装置に適用される液晶パネルの構造を概略的に示す断面図である。

【0020】図2に示すように、液晶パネル2は、アレイ基板1と、アレイ基板に対向配置された対向基板4と、アレイ基板1と対向基板4との間に配置された液晶分子5Aを含む光変調として機能する液晶層5とを備えている。アレイ基板1は、絶縁性基板7(20)上にそれぞれ配置されたスイッチング素子としての薄膜トランジスタ6(19)、画素電極13(29)、および、走査線及び信号線を含む配線部を有している。対向基板4は、絶縁性基板36上における薄膜トランジスタ6(19)および配線部に対向する位置を遮光する遮光膜37、画素電極13(29)に対向する位置に配置された赤、緑、青にそれぞれ画素毎に着色されたカラーフィルタ38、および、対向基板4の全面に形成された対向電極3を有している。

【0021】また、アレイ基板1及び対向基板4を構成する絶縁性基板7(20)及び36の外面には、所定の向きの偏光面を有する偏光板40が配置されているとともに、互いに向き合う内面には、挟持した液晶層5に含まれる液晶分子5Aを所定の向きに配向するための配向膜39が配置されている。

【0022】このような液晶パネル2において、画素電極13(29)と対向電極3との間に形成される電界により、液晶層5の液晶分子5Aの配向方向が制御され、アレイ基板1と対向基板4との間の液晶層5を通過する

光が変調される。これにより、対向基板4を透過する光の透過光量が制御され、画像が表示される。

【0023】図3は、この発明のアレイ基板に適用される第1の実施の形態に係る薄膜トランジスタの構造を概略的に示す断面図である。図4は、この発明のアレイ基板に適用される第1の実施の形態に係る薄膜トランジスタの構造を概略的に示す平面図である。

【0024】図3及び図4に示すように、絶縁性基板7上の行方向には、モリブデン-タングステン合金薄膜すなわちMo-W合金薄膜によって形成された走査線8が延出され、走査線8の一部は、薄膜トランジスタ6のオン・オフを制御するゲート電圧が供給されるゲート電極として機能する。また、絶縁性基板7の列方向には、アルミニウム(A1)およびモリブデン(Mo)の積層膜によって形成されているとともに、ゲート絶縁膜9を介して走査線8に交差するように信号線16が延出され、信号線16の一部は、薄膜トランジスタ6のソース電極16として機能する。

【0025】なお、走査線8及びゲート電極は、A1Nd、A1Y、AlN_iNd、AlN_iYなどのアルミニウム合金や、A1及びMoの積層膜、純A1などによって形成されてもよい。

【0026】ゲート絶縁膜9上の画素領域には、インジウム(In)と、亜鉛(Zn)と、酸素(O)とを少なくとも含む透明導電膜、例えばIn₂O₃にZnOを添加したInZnO膜すなわちIZO膜によって形成された画素電極13が配置されている。A1及びMoの積層膜によって形成された薄膜トランジスタ6のドレイン電極17は、画素電極13に電気的に接続される接続電極部として機能する。すなわち、IZO膜によって形成された画素電極13は、ドレイン電極17及び接続電極部を形成するA1配線に直接コンタクトされ、電気的に接続されている。

【0027】すなわち、走査線8を介してゲート電極8にゲート電圧が供給され、薄膜トランジスタ6がオン状態となったタイミングで、信号線16に供給された駆動電圧がソース電極16からドレイン電極17を介して画素電極13に供給される。これにより、画素電極13には、所定レベルの駆動電圧が供給され、対向電極との間に電位差を形成し、液晶層に含まれる液晶分子を駆動する。

【0028】次に、図3に示したアレイ基板の製造方法について説明する。この第1の実施の形態のアレイ基板に備えられた薄膜トランジスタ6は、水素化アモルファシリコン膜を半導体層とするものである。

【0029】図5の(a)乃至(f)は、第1の実施の形態に係るアレイ基板の製造工程を概略的に示す図である。

【0030】まず、図5の(a)に示すように、界面活性剤などで洗浄した絶縁性基板としてのガラス基板7全

面に、スパッタ法により3000オングストロームの膜厚でモリブデン-タングステン(Mo-W)合金薄膜を成膜する。そして、このMo-W合金薄膜を所定の形状にパターニングすることにより、走査線に一体のゲート電極8を形成する。このパターニングでは、ケミカル・ドライ・エッティングすなわちCDEにより、以降の製造工程でゲート電極8上に被覆されるゲート絶縁膜9のカバレッジが良くなるように、テーパー角が約30°のテーパー状に、Mo-W合金薄膜をエッティングする。

【0031】続いて、図5の(b)に示すように、ガラス基板7及びゲート電極8上の全面に、プラズマCVD法により3000オングストロームの膜厚で酸化シリコン膜(SiO_x)を成膜し、ゲート絶縁膜9を形成する。さらに、ゲート絶縁膜9を成膜したのと同一のCVD装置内で大気に曝すことなく、水素化アモルファシリコン(a-Si:H)膜11および窒化シリコン(SiNx)膜10を連続的に成膜する。すなわち、このゲート絶縁膜9上に、500オングストロームの膜厚で水素化アモルファシリコン(a-Si:H)膜11を成膜した後、この水素化アモルファシリコン膜11上に、2000オングストロームの膜厚で窒化シリコン(SiNx)膜10を成膜する。

【0032】続いて、図5の(c)に示すように、窒化シリコン膜10を、ゲート電極8をマスクとした裏面露光によりパターニングして、チャネル保護膜10を形成する。

【0033】続いて、図5の(d)に示すように、全面に、500オングストロームの膜厚でドープされたn+型水素化アモルファシリコン(n+a-Si:H)膜12を堆積し、水素化アモルファシリコン膜11とn+型水素化アモルファシリコン膜12とを島状にパターニングする。

【0034】続いて、図5の(e)に示すように、In₂O₃にZnOを10重量%添加して作成したInZnO(インジウム-ジンク-オキサイド)ターゲットを装着したスパッタ装置にて、400オングストロームの膜厚でIZO膜13を被着し、パターニングすることにより画素電極13を形成する。ターゲット中のZnOの含有量は、少ないと比抵抗が低下して好ましくなるが、少なすぎると得られる膜の結晶性が促進され、シウ酸などの弱酸系エッティング液ではエッティングできなくなるので、添加量としては、5~20重量%が適当である。

【0035】続いて、図5の(f)に示すように、全面に、3500オングストロームの膜厚でA1膜14を成膜し、連続して、500オングストロームの膜厚でMo膜15を成膜することにより、A1及びMoの積層膜を形成する。そして、この積層膜をパターニングすることにより、信号線と一体のソース電極16と、画素電極13にコンタクトされるドレイン電極17を形成する。

【0036】さらに、ソース電極16とドレイン電極17とをマスクとしてチャネル保護膜10上のn+型水素化アモルファスシリコン膜12を除去する。

【0037】そして、プラズマCVD装置で、基板全面に窒化シリコン膜18を3500オングストロームの膜厚で成膜し、薄膜トランジスタ6の保護膜18を形成する。そして、この窒化シリコン膜18をパターニングすることにより、画素電極13上だけ窒化シリコン膜18を除去して、図3及び図4に示すような薄膜トランジスタ6を含むアレイ基板1が完成する。

【0038】上述したような製造工程によって形成された第1の実施の形態に係るアレイ基板によれば、画素電極13は、InZnO膜いわゆるIZO膜によって形成され、スイッチング素子としての水素化アモルファスシリコン膜を半導体膜とした薄膜トランジスタ6に対してA1(アルミニウム)によって形成された接続配線部によって直接コンタクトされている。IZO膜に含まれるZn(亜鉛)は、A1とイオン化ポテンシャルが同等に高く、A1に還元されにくい性質を有している。

【0039】このため、ZnがA1に直接コンタクトしても、A1に還元されにくく、絶縁物にもなり難い。したがって、大幅なコンタクト抵抗の増大を招くことがなくなる。したがって、バリアメタルを接続配線部と画素電極との間に介在させる必要がなくなり、製造工程数の増大を防止し、製造コストの増大を抑えることが可能となる。

【0040】また、このアレイ基板を備えた平面表示装置としての液晶表示装置によれば、画素電極と接続配線部との間のコンタクト抵抗の増大を抑制できるため、表示画面の表示品位に悪影響を及ぼすことを防止できる。

【0041】次に、この発明のアレイ基板に適用される第2の実施の形態に係る薄膜トランジスタの構造について説明する。

【0042】図6は、この発明のアレイ基板に適用される第2の実施の形態に係る薄膜トランジスタの構造を概略的に示す断面図である。図7は、この発明のアレイ基板に適用される第2の実施の形態に係る薄膜トランジスタの構造を概略的に示す平面図である。この第2の実施の形態では、トップゲート構造の薄膜トランジスタが適用される。

【0043】図6及び図7に示すように、絶縁性基板20の行方向には、Mo-W合金薄膜によって形成された走査線25が延出され、走査線25の一部は、薄膜トランジスタ19のオン・オフを制御するゲート電圧が供給されるゲート電極25として機能する。また、絶縁性基板20の列方向には、A1およびMoの積層膜によって形成されているとともに、層間絶縁膜28を介して走査線25に交差するように信号線33が延出され、信号線33の一部は、薄膜トランジスタ19のソース電極33として機能する。

【0044】層間絶縁膜28上の画素領域には、IZO膜によって形成された画素電極29が配置されている。A1及びMoの積層膜によって形成された薄膜トランジスタ19のドレイン電極34は、画素電極29に電気的に接続される接続電極部として機能する。すなわち、IZO膜によって形成された画素電極29は、ドレイン電極34及び接続電極部を形成するA1配線に直接コンタクトされ、電気的に接続されている。

【0045】すなわち、走査線25を介してゲート電極25にゲート電圧が供給され、薄膜トランジスタ19がオン状態となったタイミングで、信号線33に供給された駆動電圧がソース電極33からドレイン電極34を介して画素電極29に供給される。これにより、画素電極29には、所定レベルの駆動電圧が供給され、対向電極との間に電位差を形成し、液晶層に含まれる液晶分子を駆動する。

【0046】次に、図6に示したアレイ基板の製造方法について説明する。この第2の実施の形態のアレイ基板に備えられた薄膜トランジスタ6は、ポリシリコン膜を半導体層とするトップゲート構造である。

【0047】図8の(a)乃至(g)は、第2の実施の形態に係るアレイ基板の製造工程を概略的に示す図である。

【0048】まず、図8の(a)に示すように、界面活性剤などで洗浄した絶縁性基板としてのガラス基板20全面に、プラズマCVD法により、大気開放せずに、基板温度300°Cで、窒化シリコン(SiNx)膜21、酸化シリコン(SiOx)膜22、さらに、水素化アモルファスシリコン(a-Si:H)膜23を連続して成膜する。すなわち、ガラス基板20の全面に、500オングストロームの膜厚で窒化シリコン膜21を成膜した後、この窒化シリコン膜21上全面に1000オングストロームの膜厚で酸化シリコン膜22を成膜し、さらに、この酸化シリコン膜22上全面に500オングストロームの膜厚で水素化アモルファスシリコン膜23を成膜する。

【0049】そして、水素化アモルファスシリコン膜23は、多量の水素を含有しているため、約470°C、1時間の高温処理により、脱水素処理を行った後、エキシマレーザアーナー装置でポリシリコン化される。すなわち、エキシマレーザは、エネルギー約230mJ/cm²の条件でレーザビームを射出し、この射出ビームを水素化アモルファスシリコン膜23に照射することにより、約0.2~0.3μmの粒径のポリシリコン膜23が得られる。このポリシリコン膜23の界面移動度は、約80cm²/Vである。

【0050】続いて、図8の(b)に示すように、ポリシリコン膜23をCDEにより、島状にパターニングする。

【0051】続いて、図8の(c)に示すように、基板

全面に、酸化シリコン(SiO_x)膜24を1000オングストロームの膜厚で成膜してゲート絶縁膜24を形成した後、このゲート絶縁膜24上に、スパッタ法により、走査線と一体のゲート電極となるMo-W合金膜を2500オングストロームの膜厚で成膜する。その後、このMo-W合金膜をCDEにより線状にパターニングすることにより、走査線と一体のゲート電極25を形成する。

【0052】続いて、図8の(d)に示すように、レジストR1をパターニングし、その後、PH₃をイオン源としたイオンドーピング装置にて、P⁺イオンを50KeVのエネルギーで 3×10^{13} 個/cm²ドーピングし、ポリシリコン膜23をn-化し、ポリシリコン膜23の一部にn-型ポリシリコン膜26を形成する。そして、レジストR1を除去する。

【0053】続いて、図8の(e)に示すように、レジストR2をパターニングし、同じイオンドーピング装置にて、P⁺イオンを50KeVのエネルギーで 1×10^{15} 個/cm²ドーピングし、ポリシリコン膜23をn+化し、ポリシリコン膜23の一部にn+型ポリシリコン膜27を形成する。そして、レジストR2を除去する。

【0054】その後、イオンドーピングによってちぎられたn+ポリシリコン膜27の結合を、500°Cの雰囲気で1時間アニールすることで回復させる。

【0055】続いて、図8の(f)に示すように、基板全面にプラズマCVD装置で、酸化シリコン(SiO_x)膜28を5000オングストロームの膜厚で成膜することにより、層間絶縁膜28を形成する。その後、スパッタ装置にて、1000オングストロームの膜厚でIZO膜を成膜し、ウェットエッチングによりパターニングして画素電極29を形成する。

【0056】続いて、図8の(g)に示すように、レジストをパターニングして層間絶縁膜28及びゲート絶縁膜24の酸化シリコン膜をウェットエッチングし、コンタクトホール30を形成する。そして、スパッタ装置にて、A1膜31、および、Mo膜32を大気に曝すことなく連続的にそれぞれ4500オングストローム、500オングストロームの膜厚に成膜し、パターニングすることにより、信号線に一体のソース電極33、画素電極29にコンタクトされるドレイン電極34を形成する。ソース電極33及びドレイン電極34は、それぞれコンタクトホール30を介してn+型ポリシリコン膜27にコンタクトされる。

【0057】そして、プラズマCVD装置で、基板全面に窒化シリコン膜35を5000オングストロームの膜厚で成膜し、薄膜トランジスタ19の保護膜35とする。そして、この窒化シリコン膜35をパターニングして、画素電極29の上部だけ窒化シリコン膜を除去する。その後、トランジスタの特性を安定させるため、350°Cの雰囲気で1時間アニールする。

【0058】以上のような製造工程により、薄膜トランジスタ19を有するアレイ基板1が完成する。

【0059】上述した第2の実施の形態に係るアレイ基板及びこのアレイ基板を備えた液晶表示装置によれば、第1の実施の形態と同等の効果が得られる。

【0060】上述した第1及び第2の実施の形態に係るアレイ基板を用いて、図2に示したような平面表示装置としての液晶表示装置を完成させる。

【0061】すなわち、アレイ基板1の表面にポリイミドを塗布して、乾燥させた後、ラビング処理を行って配向膜39を形成する。

【0062】一方、対向基板4は、まず、ガラス基板36に、たとえばクロム(Cr)をマトリスク状にパターニングすることにより遮光膜37を形成する。そして、この遮光膜37の間隙に、樹脂製の赤、緑、青のカラーフィルタ38を形成する。

【0063】そして、この遮光膜37及びカラーフィルタ38上に、ITOなどの透明な導電性膜を配置して対向電極3を形成する。そして、対向電極3の最上層にポリイミドを塗布して、乾燥させた後、ラビング処理を行って配向膜39を形成する。

【0064】そして、アレイ基板1と対向基板4との配向膜39が形成されている面をそれぞれ向かい合わせて配置し、図示しない樹脂製のシール材により液晶の封入口を除いて2枚の基板貼り合わせ、空セルを形成する。このとき、2枚の基板間には、図示しないスペーサーを介すなどして2枚の基板間のギャップを略一定に保っている。

【0065】そして、真空中に空セルを置き、封入口を液晶に浸した状態で、徐々に大気圧に戻していくことで、空セルに液晶分子を含む液晶材料を注入して液晶層5を形成し、封入口を封止する。また、セルの外側の両面に偏光板40を貼り、液晶パネル2を完成させる。

【0066】さらに、図1に示したように、液晶表示装置の駆動を司る回路基板41を液晶パネル2に電気的に接続し、液晶パネル2の側部、または裏面部等に配置する。

【0067】そして、液晶パネル2の表示面を規定する開口を含むフレーム43-1と、面光源を成すパックライト42を保持するフレーム43-2によって液晶パネル2を保持して液晶表示装置を完成させる。

【0068】次に、この発明のアレイ基板における画素電極としてのIZO膜と、画素電極に直接コンタクトされる接続配線部としてのA1配線とのコンタクト抵抗を測定した。測定結果を図9に示す。

【0069】図9に示すように、IZO膜に直接A1配線をコンタクトさせた場合、コンタクト抵抗は、 $6.5 \times 10^0 \Omega$ であり、バリアメタルとしてモリブデン(Mo)をIZO膜とA1配線との間に介在させた場合のコンタクト抵抗、 $3.2 \times 10^0 \Omega$ と略同等である。

【0070】比較例として、ITO膜で形成した画素電極にAl配線を直接コンタクトさせた場合、コンタクト抵抗は、 $1.3 \times 10^5 \Omega$ となり、IZO膜を使用した場合に比べて 10^5 倍となった。しかしながら、バリアメタルとしてモリブデン(Mo)をITO膜とAl配線との間に介在させた場合のコンタクト抵抗、 $5.7 \times 10^0 \Omega$ となった。

【0071】なお、この測定では、画素電極と接続配線部とのコンタクトさせる領域は、 $40 \times 40 \mu\text{m}$ である。

【0072】このように、ITO膜では、Al配線を直接コンタクトすることで、コンタクト抵抗が約 10^5 倍になるが、IZO膜がAl配線と直接コンタクトした場合には、コンタクト抵抗は、バリアメタルを用いた場合に比べて若干上昇傾向であるが桁が変わることはなかった。

【0073】上述したように、この発明に係る実施の形態にて液晶表示装置を試作したところ、製造歩留まり、表示品位ともITOとバリアメタルの組み合わせと全く同等のレベルであった。したがって、この液晶表示装置では、バリアメタルを配置することなく、従来の液晶表示装置と同等の性能を提供することが可能となる。

【0074】このため、バリアメタルを省略でき、製造工程を簡略にすることができる。

【0075】すなわち、従来のITO膜に代わり、IZO膜を画素電極として使用することにより、Al配線との直接コンタクトが可能となり、製造工程が簡略化され、製造コストを安くすることが可能である。

【0076】

【発明の効果】以上説明したように、この発明によれば、アルミニウム配線に直接コンタクトすることを可能とし、バリアメタルを省略することができる画素電極を備えた表示装置用アレイ基板及びこのアレイ基板を備えた平面表示装置を提供することを提供することができると。

【図面の簡単な説明】

【図1】図1は、この発明の表示装置用アレイ基板が適用される平面表示装置すなわち液晶表示装置の構成を概略的に示す分解斜視図である。

【図2】図2は、図1に示した液晶表示パネルに備えられる液晶パネルの構造を概略的に示す断面図である。

【図3】図3は、この発明の第1の実施の形態に係る表示装置用アレイ基板に適用される薄膜トランジスタの構造を概略的に示す断面図である。

【図4】図4は、図3に示した表示装置用アレイ基板に適用される薄膜トランジスタの構造を概略的に示す平面図である。

【図5】図5の(a)乃至(f)は、第1の実施の形態

に係る表示装置用アレイ基板の製造工程を示す図である。

【図6】図6は、この発明の第2の実施の形態に係る表示装置用アレイ基板に適用される薄膜トランジスタの構造を概略的に示す断面図である。

【図7】図7は、図6に示した表示装置用アレイ基板に適用される薄膜トランジスタの構造を概略的に示す平面図である。

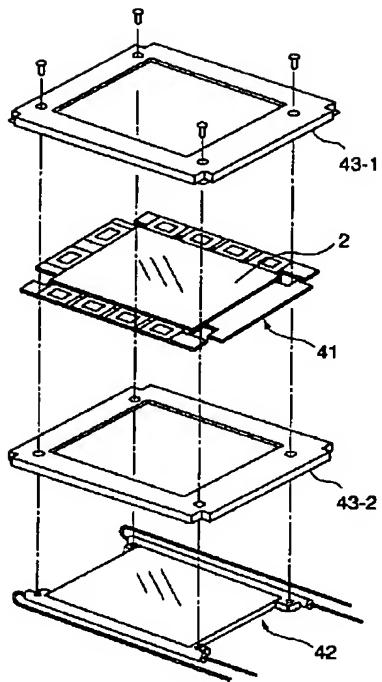
【図8】図8の(a)乃至(g)は、第2の実施の形態に係る表示装置用アレイ基板の製造工程を示す図である。

【図9】図9は、この発明の表示装置用アレイ基板における画素電極としてのIZO膜と、この画素電極に直接コンタクトされる接続配線部としてのAl配線とのコンタクト抵抗を測定した測定結果を示す図である。

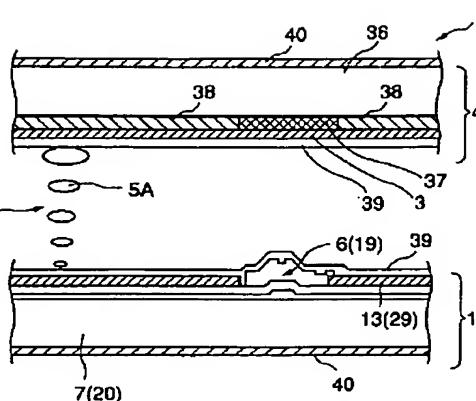
【符号の説明】

- 1 …アレイ基板
- 2 …液晶パネル
- 3 …対向電極
- 4 …対向基板
- 5 …液晶層
- 6 (19) …薄膜トランジスタ
- 7 (20) …ガラス基板
- 8 (25) …ゲート電極
- 9 (24) …ゲート絶縁膜
- 10 …チャネル保護膜
- 11 (23) …水素化アモルファスシリコン
- 12 …n+型水素化アモルファスシリコン
- 13 (29) …画素電極
- 14 (31) …Al膜
- 15 (32) …Mo膜
- 16 (33) …ソース電極
- 17 (34) …ドレイン電極
- 18 (35) …薄膜トランジスタ保護膜
- 21 …窒化シリコン膜
- 22 …酸化シリコン膜
- 26 …n-型ポリシリコン膜
- 27 …n+型ポリシリコン膜
- 28 …層間絶縁膜
- 30 …コンタクトホール
- 36 …ガラス基板
- 37 …遮光膜
- 38 …カラーフィルター
- 39 …配向膜
- 40 …偏光板
- 41 …回路基板
- 42 …バックライト

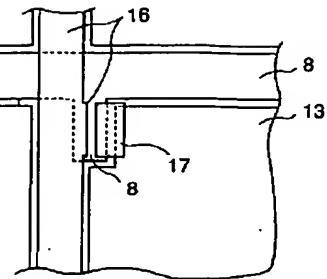
【図1】



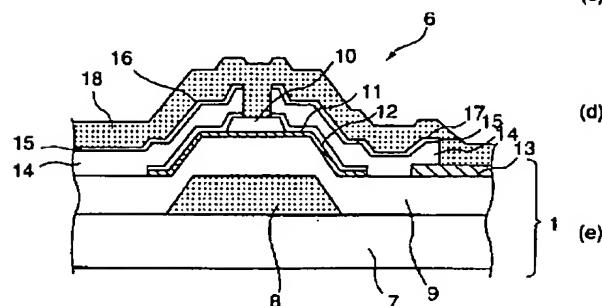
【図2】



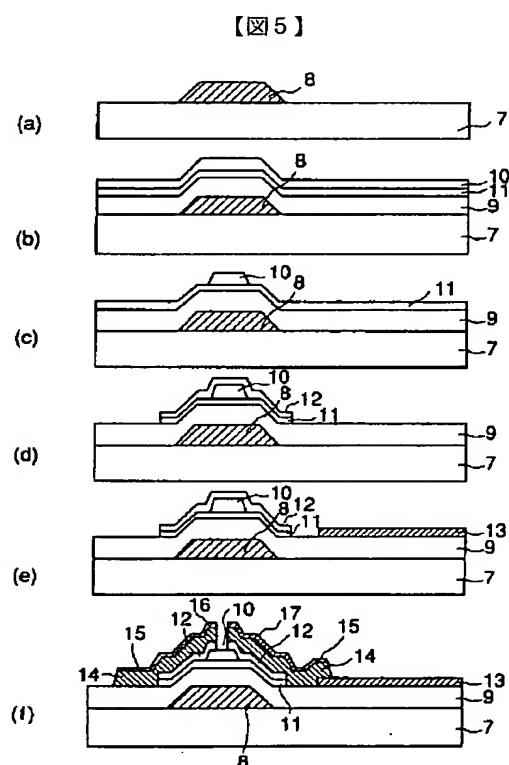
[図4]



【图3】

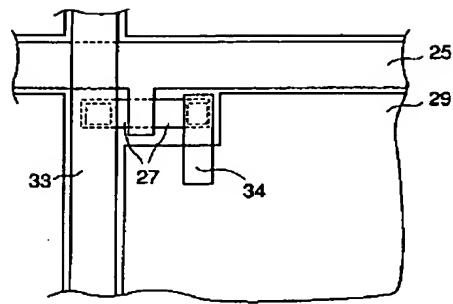


【图6】



This cross-sectional diagram illustrates a complex semiconductor structure. It features multiple layers of material, including a top layer with a textured contact area (35) and a bottom layer with a textured contact area (23). The structure includes several contacts and vias, such as 33, 25, 34, 32, 31, 29, 30, 28, 24, 22, 21, 20, 26, and 27. The labels are distributed across the top, middle, and bottom regions of the diagram.

【図7】



【図9】

	コンタクトさせる膜層	
	M0	Al
IZO	$3.2 \times 10^6 \Omega$	$8.5 \times 10^6 \Omega$
ITO	$5.7 \times 10^6 \Omega$	$1.3 \times 10^5 \Omega$

【図8】

